

10/535102
PCT/JP 03/12336
26.09.03

日 本 国 特 許 庁
JAPAN PATENT OFFICE

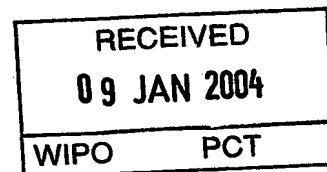
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 1 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 3 3 0 3 3
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 3 3 0 3 3]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):



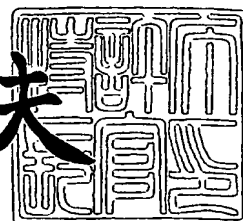
BEST AVAILABLE COPY

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 3 年 1 2 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 0 3 2 (

【書類名】 特許願

【整理番号】 H02016861A

【あて先】 特許庁長官 殿

【国際特許分類】 H02M 3/07

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所中央研究所内

【氏名】 山添 孝徳

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 20 番 1 号 株式会社日立製作所半導体グループ内

【氏名】 金井 健男

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書**【発明の名称】 昇圧回路****【特許請求の範囲】****【請求項 1】**

電荷を移動させるMOSトランジスタの基板をドレイン又はソース電位になるように制御し、基板効果影響をなくしたMOSトランジスタを直列に接続し、正又は負の高電圧を出力することを特徴とするチャージポンプ方式の昇圧回路。

【請求項 2】

請求項 1 の昇圧回路で、電荷を移動させるMOSトランジスタのゲート電位を電源電圧以上の電圧で制御し、このゲート電位を使用して、次段の電荷を移動させるMOSトランジスタのゲート電位を制御することを特徴とするチャージポンプ方式の昇圧回路。

【請求項 3】

請求項 1 及び 2 の昇圧回路で、入出力を逆にするにより正又は負の高電圧を出力することを特徴とするチャージポンプ方式の昇圧回路。

【請求項 4】

請求項 1 及び 2 の昇圧回路で、高電圧に昇圧された第 1 の昇圧電圧と、その第 1 の昇圧電圧を使用して第 2 の昇圧電圧を出力することを特徴とするチャージポンプ方式の昇圧回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

半導体集積回路。

【0002】**【従来の技術】**

Flash、EEPROMの不揮発性メモリの消去、Write時には、トンネル効果又はホットエレクトロン、ホットホールを使用する為、12V程度の高電圧が必要となる。高電圧を発生させる従来のチャージポンプ方式の昇圧回路は、非特許文献 1 で紹介、解析されているような電荷を移動させるMOSトランジスタ（以降、「トラ

ンスファーマOS」) をダイオード接続したDicson型チャージポンプが一般的に知られており、回路構成も非常に簡単な為、よく使用されている。図1、図2にDicson型チャージポンプの構成図を示した。トランスファーマOSのドレインとゲートを短絡し、ドレイン及びソースに接続された容量のもう一方側にCLKを印加する。CLKとCLK_nは、図3のように相補の関係にある。CLK_nが"High"でCLKが"Low"の時、1段、3段の奇数段のドレイン電位がソース電位より高い為、奇数段のトランスファーマOSにドレイン電流が流れC1, C3の奇数容量に電荷がチャージされる。逆にCLKが"High"でCLK_nが"Low"の時、2段、4段の偶数段のドレイン電位がソース電位より高くなり、偶数段のトランスファーマOSにドレイン電流が流れ、奇数容量C1, C3から偶数容量C2, C4電荷が移動する。

【0003】

このDicson型チャージポンプを構成しているNMOSトランジスタのしきい値電圧をV_tとすると、出力電圧V_{out}は、

【0004】

【数1】

$$V_{out} = (V_{cc} - V_t) \times N + V_{cc} \quad \cdots \cdots (1)$$

N: 段数 V_{cc}: 電源電圧

と表すことができる。しかし、出力側に近づくにつれNMOSトランジスタのドレイン、ソース電圧が昇圧されソース基板間電圧V_{sb}の上昇により、基板効果によるNMOSトランジスタのしきい値電圧V_tが式(2)で示されるように上昇する。

【0005】

【数 2】

$$V_t = V_{t0} + \gamma(\sqrt{2\phi_f + V_{sb}} - \sqrt{2\phi_f}) \dots\dots (2)$$

V_{t0} : $V_{sb} = 0V$ 時の V_t

γ : 基板効果係数

ϕ_f : サブストレイトフェルミ準位

さらに式 (2) から $V_t = V_{cc}$ となる時の V_{sb} が昇圧電圧の最大電圧と言えるので、

【0006】

【数 3】

$$V_{out_max}(=V_{sb}) = \left(\frac{V_{cc} - V_{t0}}{\gamma} + \sqrt{2\phi_f} \right) - \sqrt{2\phi_f} \dots\dots (3)$$

式 (3) により昇圧最大電圧 V_{out_max} を算出できる。図 4 に電源電圧 V_{cc} と昇圧電圧 V_{out} の算出値を示した。図 4 からわかるように Dicson 型チャージポンプでは、電源電圧 V_{cc} に依存して昇圧電圧 V_{out_max} が決まっていることがわかる。

【0007】

Dicson 型チャージポンプの改良版も検討されている。特開平 11-308856 「チャージポンプ回路装置」では、トランスファーマン MOS を複数のグループに分離して基板電位を除々に高くすることにより基板効果による NMOS V_t の上昇を抑えている。

【非特許文献 1】

IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 32, NO. 8, AUGUST 1997 "A Dynamic Analysis of the Dicson Charge Pump"

【0008】

【発明が解決しようとする課題】

上記、従来技術であるDicson型チャージポンプは、昇圧されるにつれトランスファーマーMOSのソース基板間電圧 V_{sb} が上昇することで、基板効果の影響によりトランスファーマーMOSのしきい値電圧 V_{th} が上がり、昇圧電圧の最大値が決まってしまう。結果として、3V以下の低電源電圧においては、不揮発性メモリの消去、Writeに必要な12V程度の高電圧を生成することができない。また、特開平11-308856「チャージポンプ回路装置」にあるようなトランスファーマーNMOSを複数のグループに分離して基板電位を除々に高くすることにより基板効果の影響を抑えるようにしたとしても、本質的な基板効果の影響を無くすことはできない。

【0009】

本発明は、基板効果の影響を無くしたチャージポンプ回路を提供すると共に、効率がいい回路構成及びプラス又はマイナスの高圧電圧を発生することができるチャージポンプ回路を提供することを目的とする。

【0010】**【課題を解決するための手段】**

上記課題を解決する為に、トランスファーマーMOSの基板を制御するMOSを追加することにより、トランスファーマーNMOSであれば、常にドレイン又はソース電位のどちらか低い電位に基板電位を設定し、基板効果影響を無くしたものである。

【0011】

また、トランスファーマーMOSの V_t を0Vにする為に、トランスファーマーMOSのゲートに（電源電圧+ V_t ）以上の電圧を容量 C_g を通して印加すると同時に、そのトランスファーマーMOSゲート電圧で次段のトランスファーマーMOSゲート電位を制御するようにしチャージトランスファーマー効率を高めたものである。

【0012】**【発明の実施の形態】**

今回発明したチャージポンプ回路の第1の実施例の形態である全体回路を図5に、チャージポンプ段の一部抜き出したものを図6に示す。

以下図 6 を参照しながら動作説明する。本発明の基板制御型チャージポンプは、トランスファーマス（TMS）の基板電圧を制御する基板制御 MOS とトランスファーマス（TMS）のゲート電圧を制御し、（電源電圧+ V_t ）以上を発生する 2 倍圧（振幅 0~ $2V_{cc}$ ）の CLK からなることを特徴とするチャージポンプ回路である。図 6 の CLK X1 期間においては、T1 が ON し T2 は OFF する。T1 制御においては、 t_1 が ON し T1 の基板電位 n_2 を n_1 にショートする。この時、T1 のゲート電圧 n_3 は、 $2V_{CLK}$ より $2V_{cc}$ に設定され T1 のしきい値電圧 V_t を下げるようにしている。この為、 n_1 電位は V_{cc} まで上げることができる。一方、T2 は t_6 を ON させ、 n_1 電位と n_6 電位をショートし、T2 を OFF させる。また、T2 の基板電位 n_5 も t_5 を ON させ、 n_1 電位とショートさせている。 n_4 電位は、 $3V_{cc}$ まで上昇する。

【0013】

CLK X2 期間においては、T1 が OFF し T2 は ON する。T1 は、 t_2 、 t_3 が ON し T1 基板電位 n_2 及びゲート電位 n_3 を V_{cc} に設定する。また、 n_1 電位は CLK により $2V_{cc}$ まで上昇する。T2 では、 t_4 が ON し基板電位 n_5 を n_4 とショートする。一方、T2 ゲート電位 n_6 は、 $2V_{CLK}$ により $3V_{cc}$ まで上昇させ、T2 のしきい値電圧 V_t を下げ n_4 電位を $2V_{cc}$ までチャージすることが可能となる。

【0014】

図 7 に、本発明の基板制御型チャージポンプ回路のシミュレーション回路と Spice シミュレーション結果を図 8 に示した。チャージポンプ段数 13 段、電源電圧 $V_{cc}=1.5V$ で約 $18.5V$ 、電源電圧 $V_{cc}=1.3V$ で約 $15.5V$ で、低電源電圧においても不揮発性メモリの消去、Write に必要な $12V$ 程度以上の高電圧を生成することができる。この Spice シミュレーション時の、トランスファーマス（TMS）の V_{t0} は、約 $0.9V$ であり、基板効果係数 γ は約 0.8 である。

【0015】

図 5～8 は、プラスの高電圧を発生させるチャージポンプであったが、本願発明の第 2 の実施例であるマイナスの高電圧を発生させる回路を図 9 に示した。回路構成としては、図 5 とほぼ同一であるが、CLK の位相及び TMS ゲート電圧設定 MOS の位置が違う。プラス昇圧の場合は、電荷を次段のチャージ容量に電荷を流すことによりプラス高電圧を得ていたが、マイナスの場合は、電荷の流れる向きが

プラスと逆方向にすることにより、前段へ電荷を流しマイナスの高電圧を得るようにしたものである。

【0016】

図5～9は、トランスファーマス(NMOS)で構成したチャージポンプ回路であったが、PMOSで構成した本発明のチャージポンプ回路の第3の実施例を図10に、第4の実施例を図11に示した。図10は、プラスの昇圧チャージポンプ回路であり、図11は、マイナスの昇圧チャージポンプ回路である。回路構成はNMOSの場合と、ほぼ同じでありトランスファーマスゲート制御をNMOSの場合と逆にした回路である。

【0017】

不揮発性メモリの制御において、例えば消去時にはマイナス高電圧、Write時にはプラス高電圧が必要となることがある。この場合、別個にプラス及びマイナスのチャージポンプ回路を作るのはチップ面積が増大し、チップ価格が高くなってしまう。そこで、消去及びWriteは、同時に発生しないことから1個のチャージポンプ回路で、プラス又はマイナスの高電圧を発生させる本発明の第5の実施例であるチャージポンプ回路を図12に提案した。基本回路としては、図5とほぼ同じであり、基本動作も図6で説明したものと同じであるが、プラス高電圧発生時とマイナス高電圧発生時とで、入出力を逆にすることが特徴である。プラス高電圧発生時に入力となって電源電圧Vccに固定されていた端子をオープンとし、出力となっていた端子を0Vにすることにより、電荷は0Vに流れ込み、前段は徐々にマイナスになっていき、マイナス高電圧が発生できる。

【0018】

次に不揮発性メモリの制御においては、例えば12V、6V等の2種類の高電圧が必要となってくることがある。図5で示したチャージポンプ回路から出力される第1の高電圧と、この第1の高電圧を使用して第2の高電圧を発生させる回路構成である本発明の第6の実施例を図13に示す。図13内の基板制御型並列チャージポンプは、図5と同一である。本発明の第7の実施例である図13の直列型チャージポンプを図14に示した。直列型チャージポンプは、トランスファーマス(PMOS)を使用し、チャージ容量を第1の高電圧の電圧でON、OFFすることによ

り、第1の高電圧の2倍の電位が得られること及び直列型チャージポンプのCLK信号で、内部直列ブロック1と内部直列ブロック2を交互にON、OFFさせていることを特徴としている。

【0019】

【発明の効果】

本発明は、MOS基板効果をなくした高効率のチャージポンプ回路であり、3V以下の低電源電圧においても12V程度の高電圧を発生でき、チップ面積を低減化することができる。

また、本発明のチャージポンプ回路は、同一回路でプラス又はマイナス電圧を発生することができ、チップ面積を低減化することができる。

【0020】

また、本発明の基板効果をなくしたチャージポンプ回路と直列型チャージポンプを組み合わせることにより、2種類の高電圧を効率よく発生でき、チップ面積の低減化ができる。

【図面の簡単な説明】

【図1】

従来のDicson型チャージポンプ構成図。

【図2】

従来のDicson型チャージポンプ回路図。

【図3】

クロック波形を表す図。

【図4】

Dicson型チャージポンプ昇圧電圧計算値を示すグラフ。

【図5】

本発明の第1の実施例であるチャージポンプ回路の全体回路図。

【図6】

本発明のチャージポンプ回路の部分回路図説明図。

【図7】

本発明の第1の実施例であるチャージポンプ回路シミュレーション回路図。

【図 8】

本発明のチャージポンプ回路シミュレーション結果を表すグラフ。

【図 9】

本発明の第 2 の実施例であるマイナス高圧電圧発生チャージポンプ回路図。

【図 10】

本発明の第 3 の実施例を表すプラス高圧電圧発生チャージポンプ回路図。

【図 11】

本発明の第 4 の実施例を表すマイナス高圧電圧発生チャージポンプ回路図。

【図 12】

本発明の第 5 の実施例を表すプラスマイナス高圧電圧発生チャージポンプ回路図

。

【図 13】

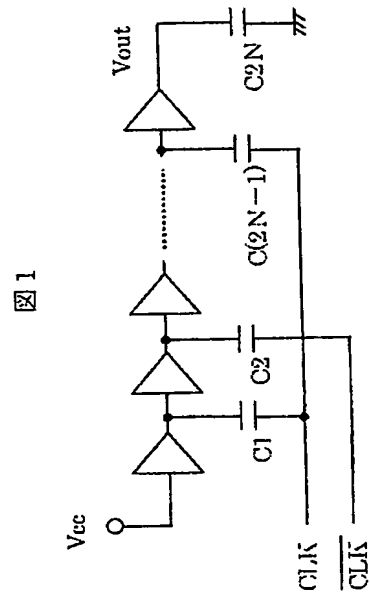
本発明の第 6 の実施例を表す高圧電圧発生チャージポンプ回路構成図。

【図 14】

本発明の第 7 の実施例を表す直列型チャージポンプ回路。

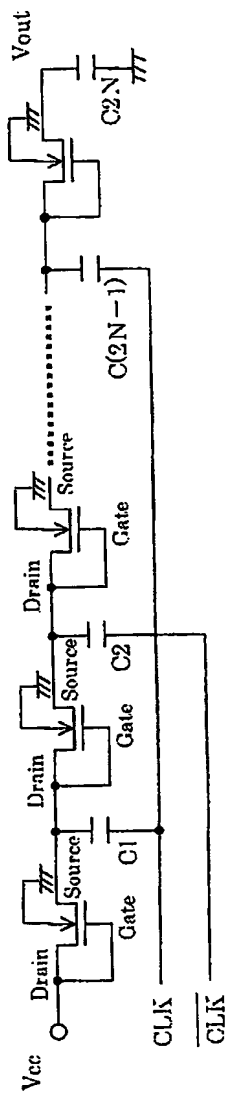
【書類名】 図面

【図 1】

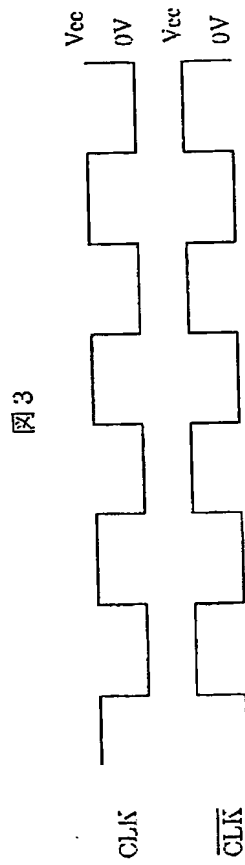


【図 2】

図 2

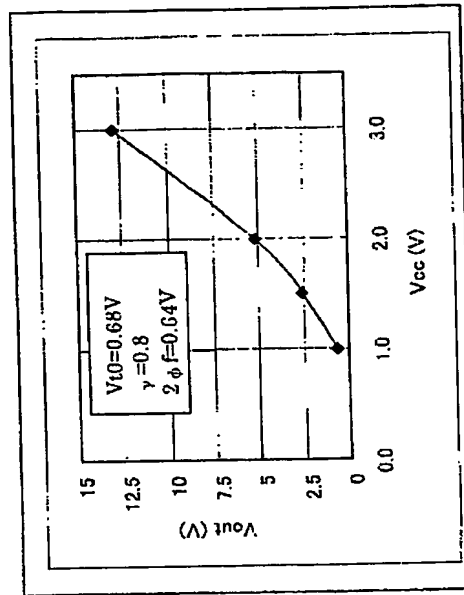


【図 3】

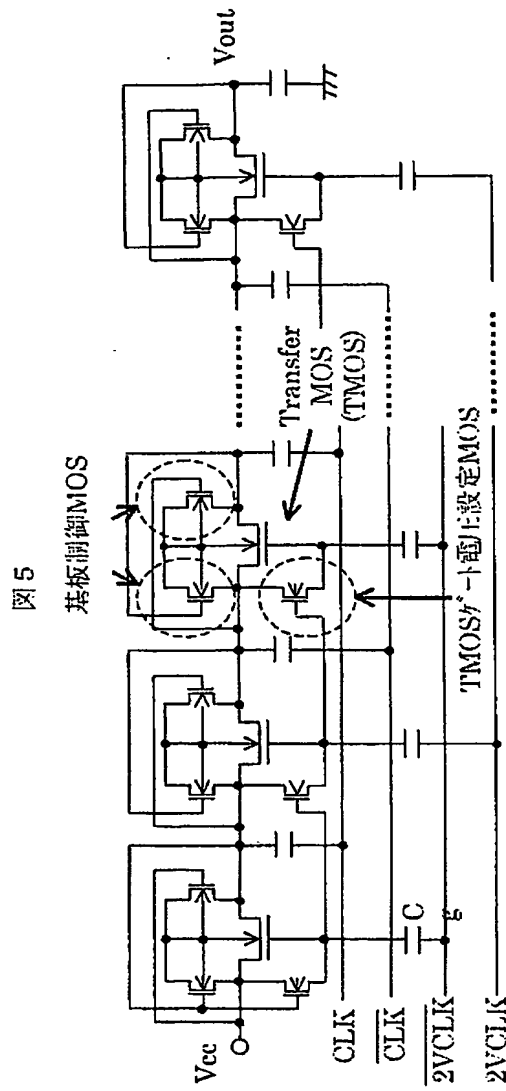


【図4】

図4

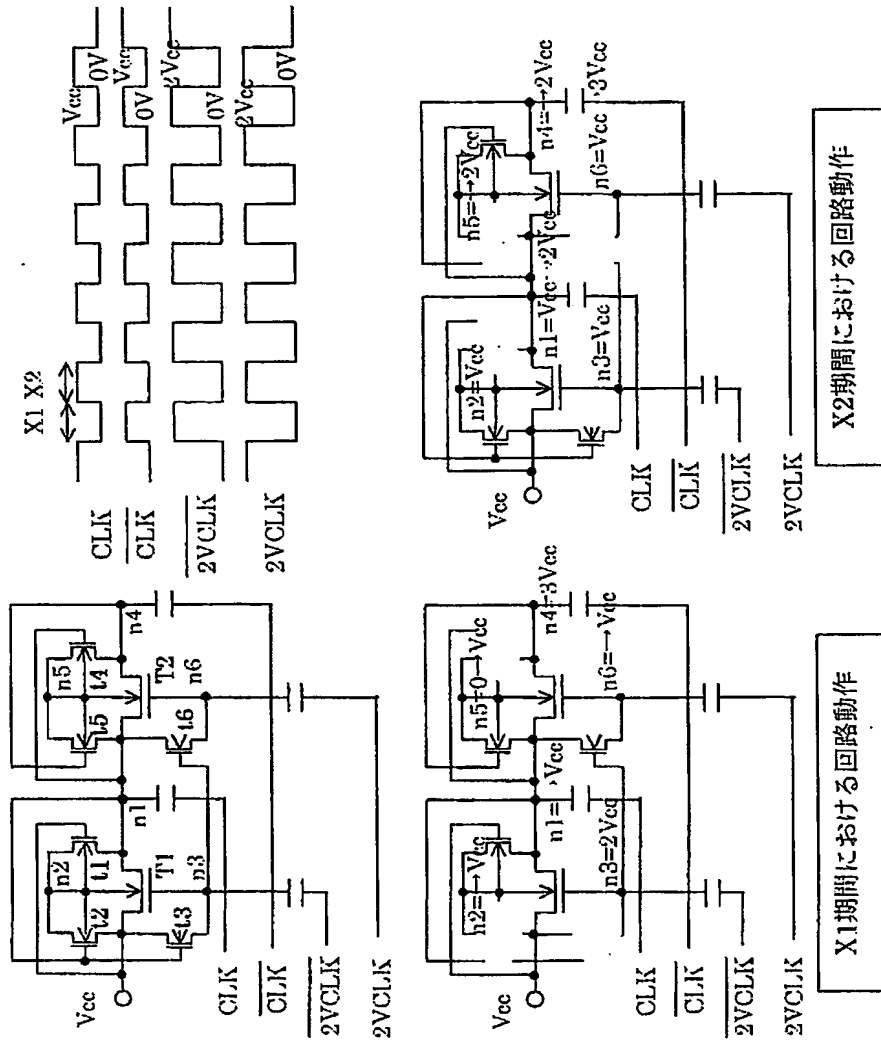


【図5】



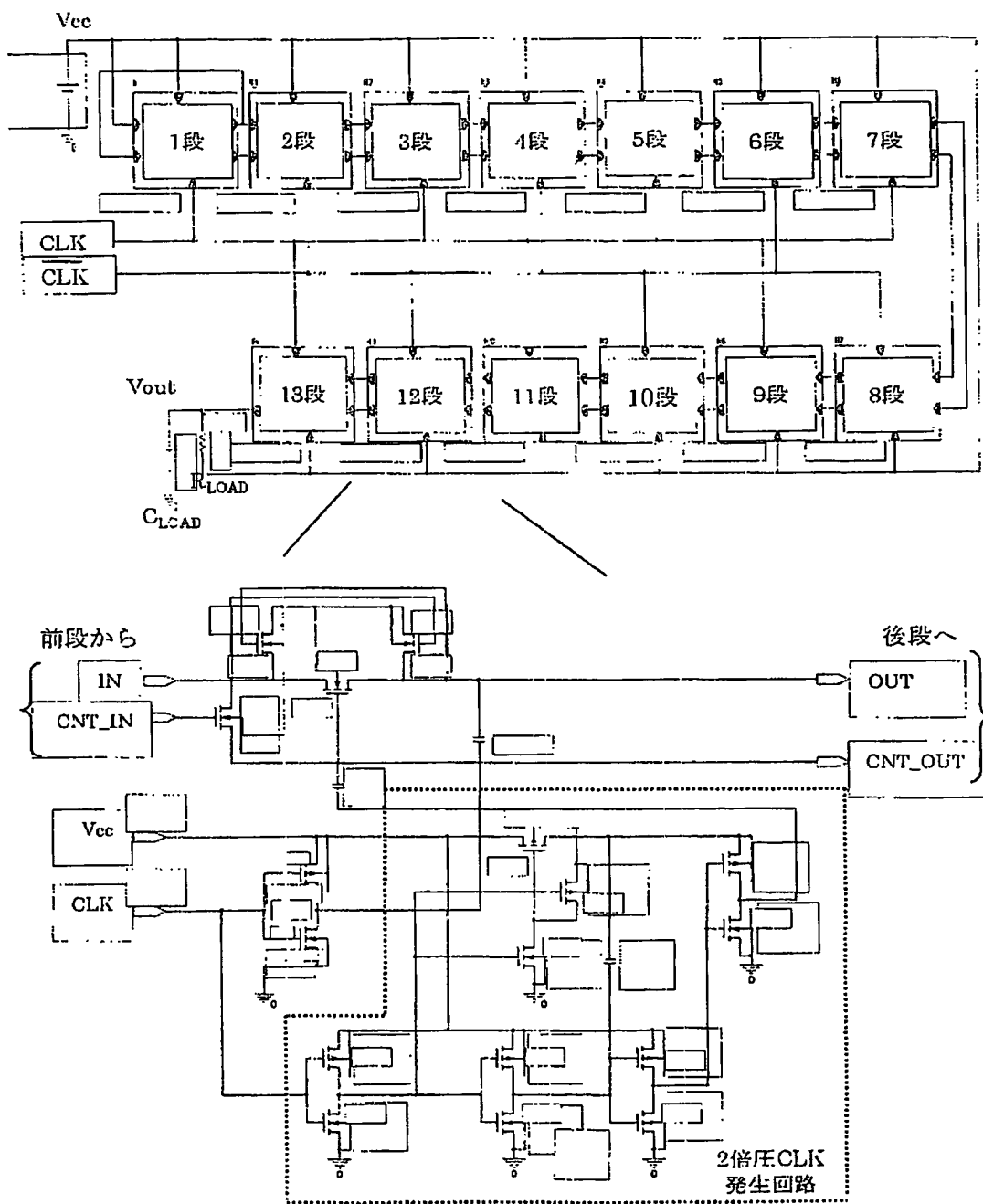
【図 6】

図 6



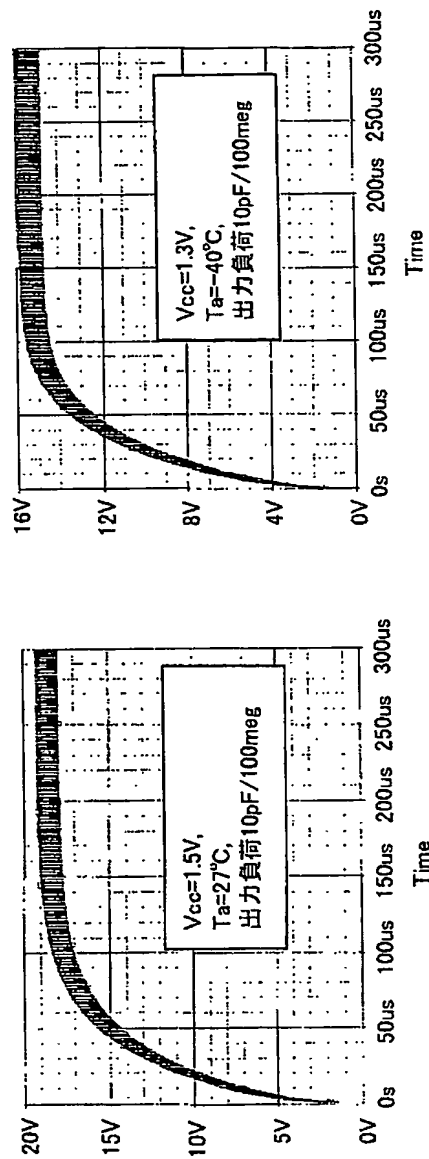
【図 7】

図 7



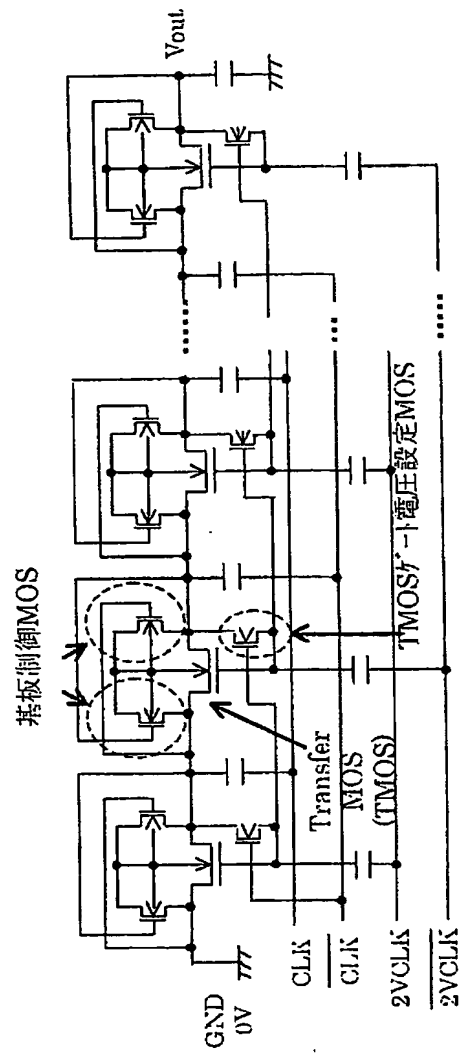
【図 8】

図 8

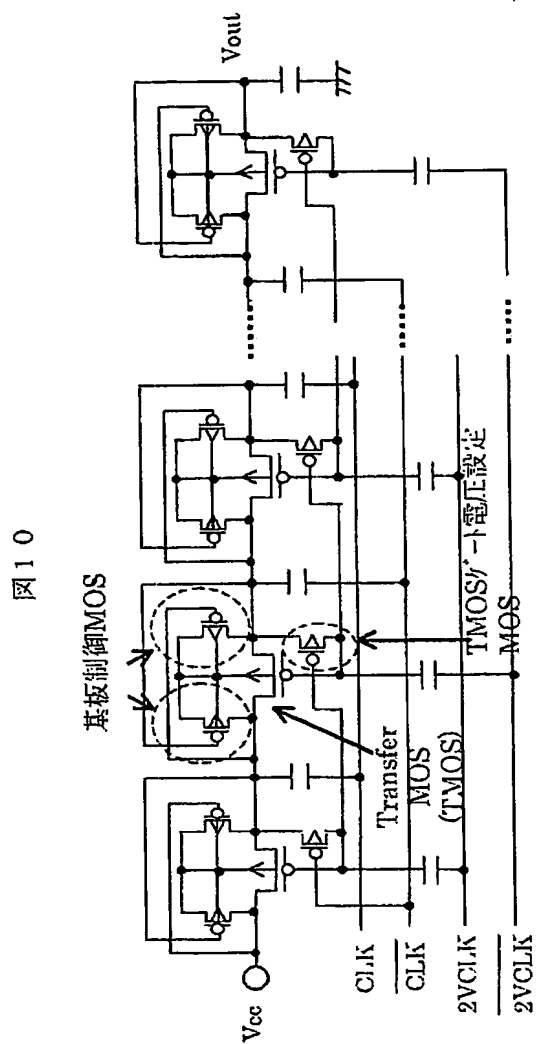


【図 9】

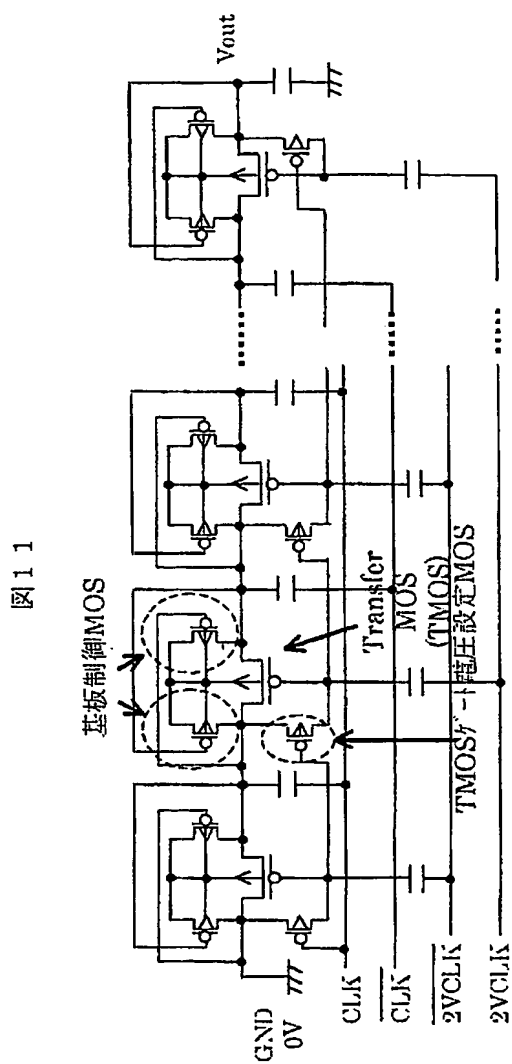
図 9



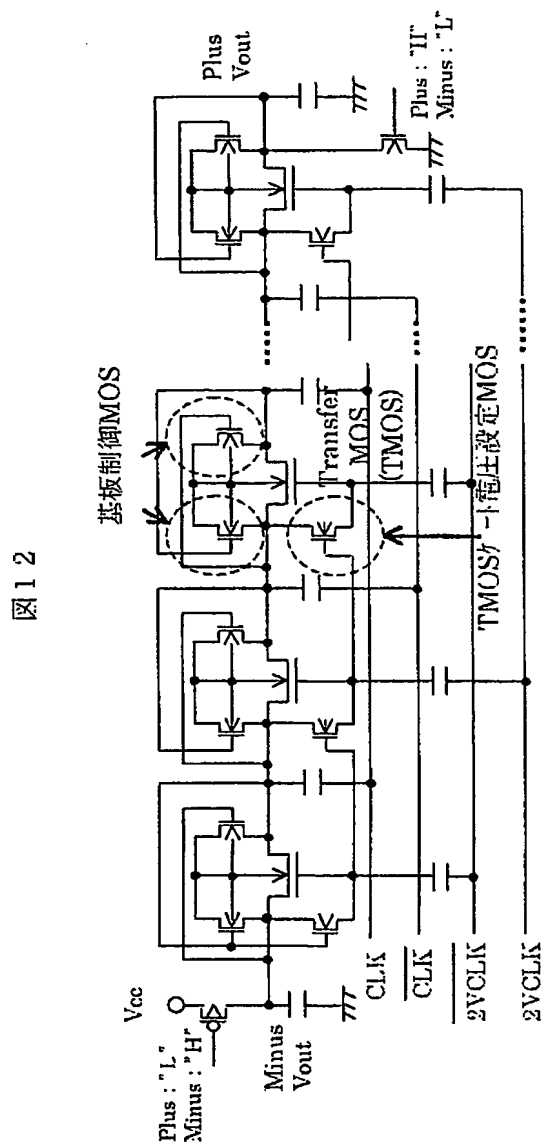
【図 10】



【図 11】

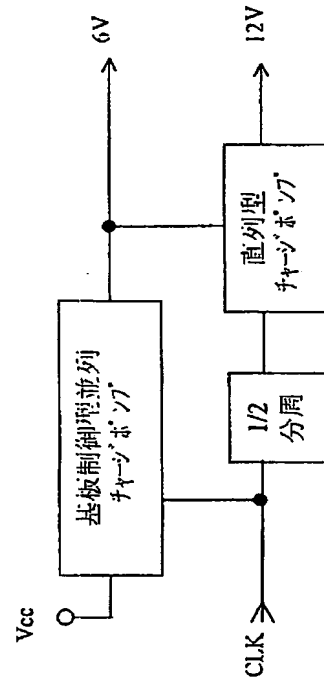


【図 12】

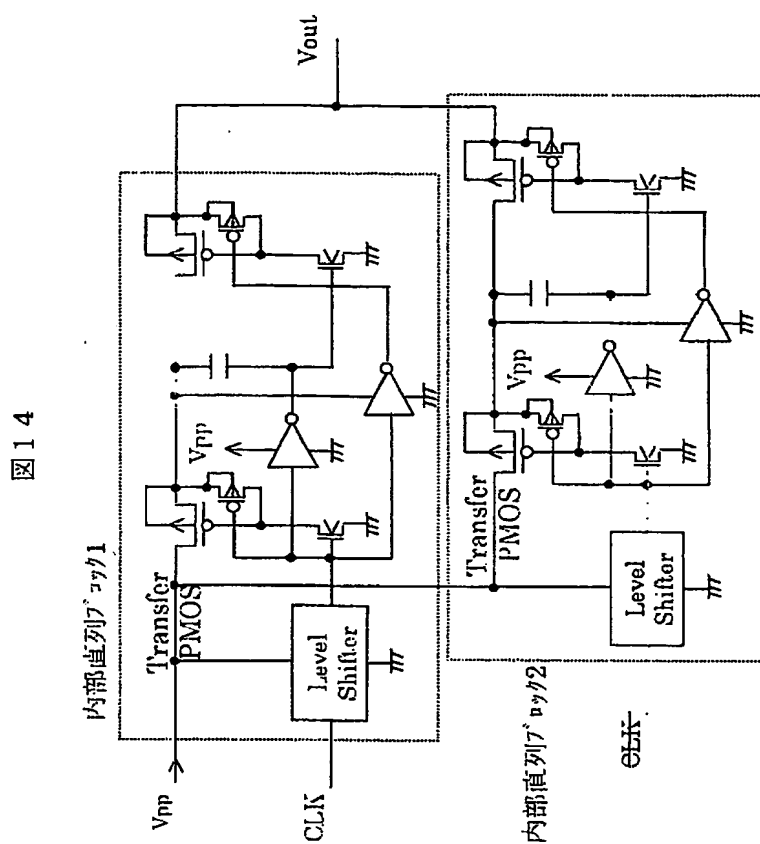


【図 13】

図 13



【図 14】



【書類名】 要約書

【要約】

【課題】 昇圧電圧を生成する従来のDicson型チャージポンプ回路では、基板効果の影響で、昇圧電圧が制限されてしまい、高電圧を発生することができない。

【解決手段】 トランスファーマOSがNMOSの場合には、ドレイン又はソース電位のどちらか低い電位を基板電位にし基板効果影響を無くす。また、トランスファーマOSの V_t を0Vにする為に、ゲートに電源電圧+ V_t 以上の電圧を容量 C_g を通して印加すると同時に、そのゲート電圧で次段のトランスファーマOSゲート電位を制御しチャージトランスファーマ効率を高める。

【効果】 本発明は、3V以下の低電源電圧においても12V程度の高電圧を発生、同一回路でプラス又はマイナス電圧を発生することが可能であり、また、本発明のチャージポンプ回路と直列型チャージポンプを組み合わせることにより、2種類の高電圧を効率よく発生でき、チップ面積の低減化ができる。

【選択図】 図5

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 3 3 0 3 3
受付番号	5 0 2 0 1 7 3 4 3 7 4
書類名	特許願
担当官	第三担当上席 . 0 0 9 2
作成日	平成 1 4 年 1 1 月 1 9 日

< 認定情報・付加情報 >

【提出日】	平成14年11月18日
-------	-------------

次頁無

【書類名】 出願人名義変更届（一般承継）
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2002-333033
【承継人】
【識別番号】 503121103
【氏名又は名称】 株式会社ルネサステクノロジ
【承継人代理人】
【識別番号】 100080001
【弁理士】
【氏名又は名称】 筒井 大和
【提出物件の目録】
【包括委任状番号】 0308729
【物件名】 承継人であることを証明する登記簿謄本 1
【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する
【物件名】 権利の承継を証明する承継証明書 1
【援用の表示】 特願平 1 - 2 5 1 8 8 9 号 同日提出の出願人
名義変更届（一般承継）を援用する
【ブルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2002-333033
受付番号	50301402885
書類名	出願人名義変更届 (一般承継)
担当官	角田 芳生 1918
作成日	平成15年12月 1日

<認定情報・付加情報>

【提出日】 平成15年 8月26日

特願 2 0 0 2 - 3 3 3 0 3 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2002-333033

出 願 人 履 歴 情 報

識別番号

[503121103]

1. 変更年月日
[変更理由]
住 所
氏 名

2003年 4月 1日
新規登録
東京都千代田区丸の内二丁目4番1号
株式会社ルネサステクノロジ

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.